

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-319433

(43)Date of publication of application : 04.12.1998

(51)Int.CI.

G02F 1/136

H01L 29/786

H01L 21/336

(21)Application number : 09-130071

(71)Applicant : ADVANCED DISPLAY:KK

(22)Date of filing : 20.05.1997

(72)Inventor : NAKAMURA NOBUHIRO

ENDO YUKIO

OGAWA IKUO

MATSUI YASUSHI

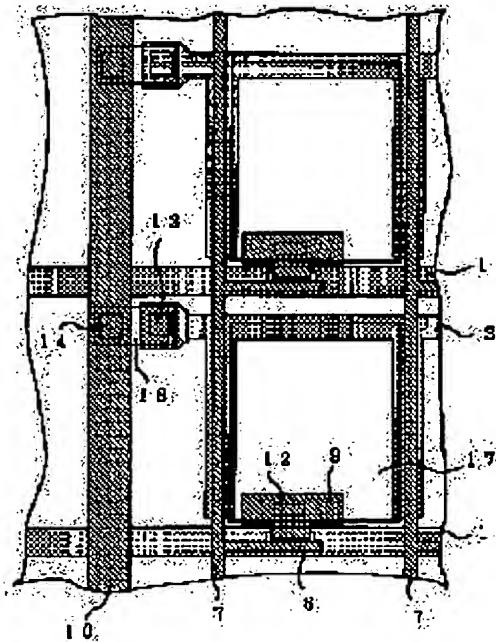
SUGAWARA TAKASHI

## (54) TFT ARRAY SUBSTRATE AND ELECTROOPTICAL DISPLAY DEVICE USING THE SAME AND PRODUCTION METHOD FOR TFT ARRAY SUBSTRATE

## (57)Abstract:

PROBLEM TO BE SOLVED: To manufacture a TFT array substrate excellent in a display quality, capable of lowering power consumption and provided with auxiliary capacitance wirings by photoengraving processes of five times.

SOLUTION: Gate wirings 1 and auxiliary capacitance wirings 3 are formed with a first metal on an insulating substrate, then, first insulating films, semiconductor active films and ohmic contact films are formed, the semiconductor active films and the ohmic contact films are patterned, successively, source wirings 7, source electrodes 8, drain electrodes 9 and assembled leader wirings 10 are formed with a second metal, thereafter ohmic films of TFT channel parts are eliminated, then, second insulating film are formed, contact holes are formed at pixel contact parts 12, auxiliary capacitance wiring connection parts 13 and set leader wiring connection parts 14, then, conductive films are formed and pixel electrodes 17, auxiliary capacitance wirings and assembled leader wiring connection patterns 18 are formed.



## LEGAL STATUS

[Date of request for examination] 06.12.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3234168

[Date of registration] 21.09.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-319433

(43)公開日 平成10年(1998)12月4日

(51)Int.Cl.<sup>a</sup>  
G 0 2 F 1/136  
H 0 1 L 29/786  
21/336

識別記号  
5 0 0

F I  
G 0 2 F 1/136  
H 0 1 L 29/78  
6 1 2 Z

審査請求 未請求 請求項の数6 O L (全10頁)

(21)出願番号

特願平9-130071

(22)出願日

平成9年(1997)5月20日

(71)出願人

595059056  
株式会社アドバンスト・ディスプレイ  
熊本県菊池郡西合志町御代志997番地

(72)発明者

中村 伸宏  
熊本県菊池郡西合志町御代志997番地 株  
式会社アドバンスト・ディスプレイ内

(72)発明者

遠藤 幸雄  
熊本県菊池郡西合志町御代志997番地 株  
式会社アドバンスト・ディスプレイ内

(72)発明者

小河 育夫  
熊本県菊池郡西合志町御代志997番地 株  
式会社アドバンスト・ディスプレイ内

(74)代理人

弁理士 大岩 増雄

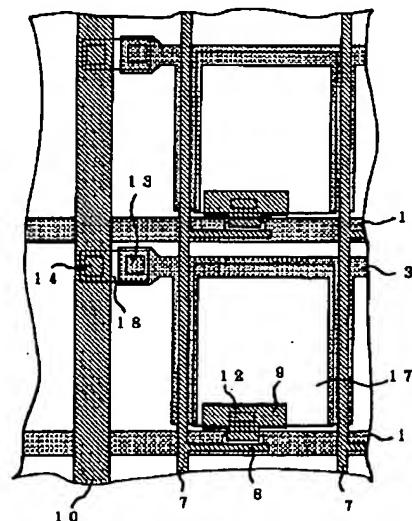
最終頁に続く

(54)【発明の名称】 TFTアレイ基板およびこれを用いた電気光学表示装置並びにTFTアレイ基板の製造方法

(57)【要約】

【課題】 表示品質に優れ低消費電力化が可能な、補助容量配線を備えたTFTアレイ基板を5回の写真製版工程で製造する。

【解決手段】 絶縁性基板上に第1の金属でゲート配線1、補助容量配線3を形成し、ついで第1の絶縁膜4、半導体能動膜5、オーミックコンタクト膜6を成膜し、半導体能動膜5、オーミックコンタクト膜6をバターニングし、ついで第2の金属でソース配線7、ソース電極8、ドレイン電極9、集合引出し配線10を形成し、その後、TFTチャネル部のオーミック膜を除去し、ついで第2の絶縁膜を成膜し、画素コンタクト部12、補助容量配線接続部13、集合引出し配線接続部14にコンタクトホールを形成し、ついで導電性膜を成膜し画素電極17、補助容量配線および集合引出し配線接続パターン18を形成する。



1: ゲート電極・配線  
3: 補助容量配線  
7: ソース配線  
8: ソース電極  
9: ドレイン電極  
10: 集合引き出し配線  
12: 画素コンタクト部  
13: 補助容量配線接続部  
14: 集合引き出し配線接続部  
17: 画素電極  
18: 補助容量配線および  
集合引き出し配線接続パターン

## 【特許請求の範囲】

【請求項1】 絶縁性基板上に複数本形成されたゲート配線、

上記ゲート配線と交差する複数本のソース配線、  
上記ゲート配線と上記ソース配線の各交点に設けられた薄膜トランジスタに接続された画素電極、  
上記ゲート配線と平行に配置され、少なくとも上記画素電極の一部との間に絶縁膜を挟んで補助容量を形成する複数本の補助容量配線、

上記ソース配線と平行に配置され、上記複数本の補助容量配線のすべてと接続される集合引出し配線、

上記補助容量配線および上記集合引出し配線上の絶縁膜に形成されたコンタクトホールを介して上記補助容量配線と上記集合引出し配線を接続する接続パターンを備え、

上記補助容量配線は上記ゲート配線と、上記集合引出し配線は上記ソース配線と、上記接続パターンは上記画素電極とそれぞれ同材料で形成されていることを特徴とするTFTアレイ基板。

【請求項2】 ゲート配線およびソース配線の材料として、Cr、Mo、Ta、Ti、Al、Cu、またはこれらの合金のいずれかを用いることを特徴とする請求項1記載のTFTアレイ基板。

【請求項3】 画素電極の材料として、ITOまたはSnO<sub>2</sub>等の透明導電膜を用いることを特徴とする請求項1または請求項2記載のTFTアレイ基板。

【請求項4】 請求項1～請求項3のいずれか一項に記載のTFTアレイ基板と、共通電極およびカラーフィルタ等を有する対向電極基板との間に液晶等の電気光学材料が配置されていることを特徴とする電気光学表示装置。

【請求項5】 絶縁性基板上に第1の金属薄膜を成膜する工程、

この第1の金属薄膜をバーニングして、ゲート配線、ゲート電極および補助容量配線を形成する第1の写真製版工程、

第1の絶縁膜、半導体能動膜およびオーミックコンタクト膜を成膜する工程、

上記半導体能動膜と上記オーミックコンタクト膜をバーニングする第2の写真製版工程、

第2の金属薄膜を成膜する工程、

この第2の金属薄膜をバーニングして、ソース配線、ソース電極およびドレイン電極および集合引出し配線を形成する第3の写真製版工程、

上記第2の金属薄膜バーニング下部以外にあるオーミックコンタクト膜を除去する工程、

第2の絶縁膜を成膜する工程、

上記第1の絶縁膜および第2の絶縁膜をバーニングし

て、少なくとも上記ドレイン電極に達するコンタクトホールと、上記補助容量配線に達するコンタクトホールと、上記集合引出し配線に達するコンタクトホールを形成する第4の写真製版工程、

導電性膜を成膜する工程、

この導電性膜をバーニングして、画素電極を形成すると同時に、上記補助容量配線および上記集合引出し配線に達するコンタクトホールを介して、上記補助容量配線と上記集合引出し配線を接続するパターンを形成する第5の写真製版工程を含むことを特徴とするTFTアレイ基板の製造方法。

【請求項6】 絶縁性基板上に第1の金属薄膜を成膜する工程、

この第1の金属薄膜をバーニングして、ゲート配線、ゲート電極および補助容量配線を形成する第1の写真製版工程、

第1の絶縁膜、半導体能動膜および第2の絶縁膜を成膜する工程、

上記第2の絶縁膜をバーニングし、少なくとも薄膜トランジスタの能動層上部にエッチングストップを形成する第2の写真製版工程、

不純物を含んだ半導体膜を成膜するかまたは上記半導体能動膜に不純物をドーピングしてオーミックコンタクト膜を形成した後、第2の金属薄膜を成膜する工程、

この第2の金属薄膜をバーニングして、ソース配線、ソース電極およびドレイン電極および集合引出し配線を形成する第3の写真製版工程、

上記第2の金属薄膜バーニング下部と上記エッチングストップ下部以外にある上記半導体能動膜および上記オーミックコンタクト膜を除去する工程、

第3の絶縁膜を成膜する工程、

上記第3の絶縁膜および第1の絶縁膜をバーニングして、少なくとも上記ドレイン電極に達するコンタクトホールと、上記補助容量配線に達するコンタクトホールと、上記集合引出し配線に達するコンタクトホールを形成する第4の写真製版工程、

導電性膜を成膜する工程、

この導電性膜をバーニングして、画素電極を形成すると同時に、上記補助容量配線および上記集合引出し配線に達するコンタクトホールを介して、上記補助容量配線と上記集合引出し配線を接続するパターンを形成する第5の写真製版工程を含むことを特徴とするTFTアレイ基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、薄膜トランジスタをスイッチング素子に用いたTFTアレイ基板およびこれを用いた電気光学表示装置並びにTFTアレイ基板の製造方法に関する。

【0002】

【従来の技術】液晶を用いた電気光学素子は、ディスプレイへの応用が盛んになされている。液晶を用いた電気

光学素子は一般に、上下に電極を備えた2枚の基板の間に液晶を挟持し、さらに上下に偏光板を設置した構成を取り、透過型のものでは背面にバックライトが設置される。上下の電極基板の表面はいわゆる配向処理がなされ、液晶分子の平均的な向きであるダイレクターが所望の初期状態に制御される。液晶には複屈折性があり、バックライトより偏光板を通して入射された光は複屈折により楕円偏光に変化し、反対側の偏光板に入射される。この状態で、上下の電極間に電圧を印加すると、ダイレクターの配列状態が変化することで、液晶層の複屈折率が変化し、反対側の偏光板に入射される楕円偏光状態が変化し、従って電気光学素子を透過する光強度およびスペクトルが変化する。この電気光学効果は用いる液晶相の種類、初期配向状態、偏光板の偏光軸の向き、液晶層の厚さ、あるいは光が透過する途中に設置されるカラー・フィルタや各種干渉フィルムによって異なるが、公知の文献等によって詳細に報告されている。一般にはネマチック液晶相を用いてTN、STNと呼ばれる構成のものが用いられている。液晶を用いたディスプレイ用電気光学素子には、単純マトリックス型のものと、TFT (Thin Film Transistor) をスイッチング素子として用いるアグティブマトリックス型液晶表示装置 (TFT-LCD) がある。携帯性、表示品位の点で、CRTや単純マトリックス型液晶表示装置より優れた特徴を持つTFT-LCDは、ノート型パソコン用コンピュータ等に広く実用されている。TFT-LCDでは、一般にTFTをアレイ状に形成したTFTアレイ基板と共に電極が形成されたカラー・フィルタ付きの対向基板との間に液晶を挟持した構成の上下に偏光板が設置され、さらに背後にバックライトを設置した構成をとり、良好なカラー表示が得られる特徴を持つ。

【0003】TFT-LCDでは液晶に電圧を印加するため、ゲートラインの選択時間内にTFTをオン状態とし、ソース配線から画素電極に電荷を流入し、画素電位をソース配線と同電位とする。その後ゲートが非選択状態になると、TFTはオフ状態になり画素の電荷は保持されるが、実際にはTFTや液晶内のリーキ電流により、画素の電荷量は減少し、結果的には画素の電位が減少する。このような画素電位の変動を防ぐため、通常は補助容量を設けて単位電荷量の変化に対する画素電位の変化量が小さくなるようにする。補助容量は大別すると、前段ゲートと画素電極で形成する場合（付加容量型）と、専用の配線と画素電極で形成する場合（補助容量配線型）がある。付加容量型では、補助容量配線型のような専用配線が不要なので開口率が大きく取れる反面、ゲート配線が容量配線を兼ねるため電流負荷が大きくなる。補助容量配線型の場合は、補助容量配線の電位をゲート配線と独立に設定することが可能であり、特に低消費電力を目的としたラインコモン反転駆動の場合、補助容量電極の電位も対向基板と同じ振幅で変化させる

必要があり、独立した容量配線にした分だけ配線負荷が軽減される。このような理由から、ノート型パソコン用コンピュータ用TFTアレイでは、補助容量型が主流となっている。補助容量配線を使用したTFTアレイ基板の概念図を図13に示す。図において、1はゲート配線、3は補助容量配線、7はソース配線、10は補助容量配線3に電圧を印加するための集合引出し配線、黒丸は補助容量配線3と集合引出し配線10の接続部をそれぞれ示す。

【0004】一方、TFT-LCDの生産性向上のためTFTアレイの製造工程数を削減する試みがなされている。そのうち、写真製版工程を削減する試みが特開平6-202153号公報、特開平8-328040号公報、特開平8-50308号公報に示されている。以下に、特開平8-50308号公報に開示されたTFTアレイ基板の製造方法を図14に基づいて説明する。図において、1はゲート電極および配線、4は第1絶縁膜、5は半導体能動膜、6はオーミックコンタクト膜、8はソース電極、9はドレイン電極、11は第2絶縁膜、12は画素コンタクト部、17は画素電極をそれぞれ示す。

【0005】まず、透明基板上に100nm程度の厚さでCr、Ta、Mo、Al等の第1の導電性金属薄膜が形成される。次に、第1の写真製版工程で第1の導電性金属薄膜をバーニングしてゲート電極1を形成する。この時、第1の導電性金属薄膜がCrの場合には、例えば $(NH_4)_2[Ce(NH_3)_6] + HNO_3 + H_2O$ 液を用いてウエットエッチング処理される。次に、第1の絶縁膜4としてSiN<sub>x</sub>膜、半導体能動膜5としてa-Si膜、オーミックコンタクト膜6としてn<sup>+</sup>a-Si膜をそれぞれ300nm、100nm、20nm程度の膜厚で積層する。次に、第2の写真製版工程で半導体能動膜5とオーミックコンタクト膜6をゲート電極上方に他の部分と分離状態で島状にバーニングする。この時、例えばHF+HNO<sub>3</sub>液で半導体能動膜5とオーミックコンタクト膜6がウエットエッチング処理される。次に、300nm程度の厚さでTi等の第2の金属薄膜を形成する。次に、第3の写真製版工程で第2の金属薄膜とオーミックコンタクト膜6をバーニングしてソース電極8、ドレイン電極9とチャネル部が形成される。次に、プラズマCVD等の方法で、400nm程度の厚さで第2の絶縁膜11を成膜し、バッシベーション膜が形成される。次に第4の写真製版工程で第2の絶縁膜11をバーニングしてドレイン電極9に通じる画素部コンタクト部12、ゲート配線に通じるコンタクトホール、ソース配線に通じるコンタクトホールを形成する。この時、例えばSF<sub>6</sub>+O<sub>2</sub>等を用いたドライエッチングによって第2の絶縁膜11はエッチング処理される。次に、150nm程度の厚さでITOよりなる透明導電膜が形成される。次に第5の写真製版工程で透明導

電膜をバーニングして画素電極17とソース配線接続用の端子部を形成する。この時、例えば $\text{HC1} + \text{HNO}_3 + \text{H}_2\text{O}$ 液を用いてITO膜がウエットエッチング処理される。

#### 【0006】

【発明が解決しようとする課題】このように、補助容量配線を有する補助容量型のTFTアレイ基板は、駆動上および表示品質上有利であるが、生産性向上のためTFTアレイの製造工程数を削減することも重要な課題であり、より少ない写真製版工程数で製造することが求められている。しかしながら、上述の特開平8-50308号公報をはじめとする従来のTFTアレイ基板の製造方法においては、補助容量配線と集合引出し配線の接続方法については開示されていない。すなわち、従来のTFTアレイの製造方法においては、写真製版工程数5回では補助容量型のTFTアレイ基板は作製できず、工程数が多く、生産性が低いという問題点があった。

【0007】本発明は、上記のような問題点を解消するためになされたもので、補助容量配線を有し、かつ5回の写真製版工程で作製できるTFTアレイ基板とその製造方法を提供し、表示特性および生産性に優れた電気光学表示装置を得ることを目的とする。

#### 【0008】

【課題を解決するための手段】この発明に係わるTFTアレイ基板は、絶縁性基板上に複数本形成されたゲート配線と、ゲート配線と交差する複数本のソース配線と、ゲート配線とソース配線の各交点に設けられた薄膜トランジスタに接続された画素電極と、ゲート配線と平行に配置され、少なくとも上記画素電極の一部との間に絶縁膜を挟んで補助容量を形成する複数本の補助容量配線と、ソース配線と平行に配置され、複数本の補助容量配線のすべてと接続される集合引出し配線と、補助容量配線および集合引出し配線上の絶縁膜に形成されたコンタクトホールを介して補助容量配線と集合引出し配線を接続する接続パターンを備え、補助容量配線はゲート配線と、集合引出し配線はソース配線と、接続パターンは画素電極とそれぞれ同材料で形成されているものである。また、ゲート配線およびソース配線の材料として、Cr、Mo、Ta、Ti、Al、Cu、またはこれらの合金のいずれかを用いるものである。さらに、画素電極の材料として、ITOまたはSnO<sub>2</sub>等の透明導電膜を用いるものである。また、この発明に係わる電気光学表示装置は、上記のいずれかに記載のTFTアレイ基板と、共通電極およびカラーフィルタ等を有する対向電極基板との間に液晶等の電気光学材料が配置されているものである。

【0009】この発明に係わるTFTアレイ基板の製造方法は、絶縁性基板上に第1の金属薄膜を成膜する工程と、この第1の金属薄膜をバーニングして、ゲート配線、ゲート電極および補助容量配線を形成する第1の写

真製版工程と、第1の絶縁膜、半導体能動膜およびオーミックコンタクト膜を成膜する工程と、半導体能動膜とオーミックコンタクト膜をバーニングする第2の写真製版工程と、第2の金属薄膜を成膜する工程と、この第2の金属薄膜をバーニングして、ソース配線、ソース電極およびドレイン電極および集合引出し配線を形成する第3の写真製版工程と、第2の金属薄膜バーン下部以外にあるオーミックコンタクト膜を除去する工程と、第2の絶縁膜を成膜する工程と、第1の絶縁膜および第2の絶縁膜をバーニングして、少なくともドレイン電極に達するコンタクトホールと、補助容量配線に達するコンタクトホールと、集合引出し配線に達するコンタクトホールを形成する第4の写真製版工程と、導電性膜を成膜する工程と、この導電性膜をバーニングして、画素電極を形成すると同時に、補助容量配線および集合引出し配線に達するコンタクトホールを介して、補助容量配線と集合引出し配線を接続するパターンを形成する第5の写真製版工程を含んで製造するようにしたものである。

【0010】また、絶縁性基板上に第1の金属薄膜を成膜する工程と、この第1の金属薄膜をバーニングして、ゲート配線、ゲート電極および補助容量配線を形成する第1の写真製版工程と、第1の絶縁膜、半導体能動膜および第2の絶縁膜を成膜する工程と、第2の絶縁膜をバーニングし、少なくとも薄膜トランジスタの能動層上部にエッチングストップを形成する第2の写真製版工程と、不純物を含んだ半導体膜を成膜するかまたは半導体能動膜に不純物をドーピングしてオーミックコンタクト膜を形成した後、第2の金属薄膜を成膜する工程と、この第2の金属薄膜をバーニングして、ソース配線、ソース電極およびドレイン電極および集合引出し配線を形成する第3の写真製版工程と、第2の金属薄膜バーン下部とエッチングストップ下部以外にある半導体能動膜およびオーミックコンタクト膜を除去する工程と、第3の絶縁膜を成膜する工程と、第3の絶縁膜および第1の絶縁膜をバーニングして、少なくともドレイン電極に達するコンタクトホールと、補助容量配線に達するコンタクトホールと、集合引出し配線に達するコンタクトホールを形成する第4の写真製版工程と、導電性膜を成膜する工程と、この導電性膜をバーニングして、画素電極を形成すると同時に、補助容量配線および集合引出し配線に達するコンタクトホールを介して、補助容量配線と集合引出し配線を接続するパターンを形成する第5の写真製版工程を含んで製造するようにしたものである。

#### 【0011】

##### 【発明の実施の形態】

実施の形態1. 図1～図6は、本発明の実施の形態1であるTFTアレイ基板各部の構造を示す図であり、図1、図2は、補助容量配線と集合引出し配線接続部の平

面図および断面図、図3、図4は画素部平面図および断面図、図5はゲート端子部断面図、図6はソース端子部断面図である。図において、1はゲート電極および配線、2は補助容量電極、3は補助容量配線、4は第1絶縁膜、5は半導体能動膜、6はオーミックコンタクト膜、7はソース配線、8はソース電極、9はドレイン電極、10は集合引出し配線、11は第2絶縁膜、12は画素コンタクト部、13は補助容量配線接続部、14は集合引出し配線接続部、15はゲート配線端子接続部、16はソース配線端子接続部、17は画素電極、18は補助容量配線および集合引出し配線接続パターン、19はゲート端子電極、20はソース端子電極をそれぞれ示す。

【0012】以下に、本発明の実施の形態1であるTFTアレイ基板の製造方法を説明する。まず、絶縁性基板として0.7mm厚の硝子基板を洗浄して表面を清浄化する。絶縁性基板には電気光学素子を透過型で構成する場合には硝子基板等の透明な絶縁性基板を用いる。また、電気光学素子を反射型で構成する場合には、硝子基板程度の絶縁性を有する絶縁性基板を用いることができる。また、絶縁性基板の厚さは任意でよいが、電気光学素子の厚みを薄くするために、0.7mm厚または1.1mm厚程度のものが好ましい。絶縁性基板が薄すぎた場合には各種の成膜やプロセスの熱履歴によって基板の歪みが生じるためにパターニング精度が悪くなる等の不具合を生じるので、基板の厚さは使用するプロセスを考慮して選択する必要がある。また、絶縁性基板が硝子等の脆性破壊材料からなる場合、基板の端面は面取りを実施しておくことが、端面からのチッピングによる異物の混入を防止する上で好ましい。また、絶縁性基板の一部に切り欠きを設けることにより、各プロセスでの基板処理の方向が特定でき、プロセス管理がしやすくなる。

【0013】次に、スパッタ等の方法で、第1の金属薄膜を成膜する。第1の金属薄膜としては、例えばCr、Mo、Ta、Ti、Al、Cuや、これらに他の物質を微量に添加した合金等からなる100nmから500nm程度の膜厚の薄膜を用いることができる。第1の金属薄膜上には後述の工程でドライエッチングによりコンタクトホールが形成され、導電性薄膜が形成されるので、表面酸化が生じ難いものや酸化されても導電性を有する材料を第1の金属薄膜として用いることが好ましく、少なくとも表面がCr、Ti、Ta、Moであることが好ましい。また、第1の金属薄膜として、異種の金属薄膜を積層したものや、膜厚方向に組成の異なるものを用いることもできる。次に、第1の写真製版工程で、第1の金属薄膜をパターニングし、ゲート電極および配線1、補助容量電極2および補助容量配線3を形成する。写真製版工程は、TFTアレイ基板を洗浄後、感光性レジストを塗布、乾燥した後に、所定のパターンが形成されたマスクパターンを通して露光し、現像することで写真製

版的にTFTアレイ基板上にマスクパターンを転写したレジストを形成し、感光性レジストを加熱硬化させた後にエッチングを行い、感光性レジストを剥離することで行われる。第1の金属薄膜のエッチングは、例えばCrの場合であれば、第2硝酸セリウムアンモンと硝酸の水溶液によるウエットエッチで、Moの場合であればCF<sub>4</sub>と酸素ガスを用いたドライエッチ等で行う。また、第1の金属薄膜のエッチングはパターンエッジがテーパー形状となるようにエッチングすることが他の配線との段差での短絡を防止する上で好ましい。

【0014】次に、プラズマCVDにより第1の絶縁膜4、半導体能動膜5、オーミックコンタクト膜6を連続で成膜する。ゲート絶縁膜となる第1の絶縁膜4としては、SiN<sub>x</sub>膜、SiO<sub>x</sub>膜、SiO<sub>x</sub>N<sub>y</sub>膜やこれらの積層膜が用いられる。第1の絶縁膜4の膜厚は300nmから600nm程度とする。膜厚が薄い場合にはゲート配線1とソース配線7の交差部で短絡を生じ易く、第1の金属薄膜の厚み程度以上とすることが望ましい。また、膜厚が厚い場合にはTFTのON電流が小さくなり、表示特性が悪化することから、なるべく薄くすることが好ましい。半導体能動膜5は、アモルファスシリコン(a-Si)膜、ポリシリコン(p-Si)膜が用いられる。半導体能動膜5の膜厚は、100nmから300nm程度とする。膜厚が薄い場合には、後述するオーミックコンタクト膜6のドライエッチ時の消失が発生し、厚い場合にはTFTのON電流が小さくなる。このため、オーミックコンタクト膜6のドライエッチ時のエッチング深さの制御性と、必要とするTFTのON電流を考慮し膜厚を選択する。半導体能動膜5としてa-Si膜を用いる場合には、ゲート絶縁膜のa-Si膜との界面はSiN<sub>x</sub>膜またはSiO<sub>x</sub>N<sub>y</sub>膜とすることが、TFTのV<sub>th</sub>の制御性および信頼性上好ましい。また半導体能動膜5としてp-Si膜を用いる場合には、ゲート絶縁膜のp-Si膜との界面はSiO<sub>x</sub>膜またはSiO<sub>x</sub>N<sub>y</sub>膜とすることが、TFTのV<sub>th</sub>の制御性および信頼性上好ましい。また、a-Si膜を成膜する場合には、ゲート絶縁膜との界面付近を成膜レートの小さい条件で成膜することにより、短い成膜時間で移動度の大きいTFT特性が得られるとともにTFTのオフ時のリーク電流を小さくできる。オーミックコンタクト膜6としては、a-Si膜やp-Si膜にリンを微量にドーピングしたn<sup>+</sup>a-Si膜、n<sup>+</sup>p-Si膜が用いられる。オーミックコンタクト膜6の膜厚は、20nmから70nm程度とする。以上のSiN<sub>x</sub>膜、SiO<sub>x</sub>膜、SiO<sub>x</sub>N<sub>y</sub>膜、a-Si膜、p-Si膜、n<sup>+</sup>a-Si膜、n<sup>+</sup>p-Si膜は、公知のガスを用いて成膜することが可能である。

【0015】次に、第2の写真製版工程で半導体能動膜5およびオーミックコンタクト膜6を表示画素のTFT

部にバーニングする。半導体能動膜5およびオーミックコンタクト膜6のエッチングは、例えばSF<sub>6</sub>と酸素ガスでドライエッチングにより行う。次に、スパッタ等の方法で第2の金属薄膜を成膜する。第2の金属薄膜としては、例えばCr、Mo、Ta、Ti、Al、Cuやこれらに他の物質を微量に添加した合金等からなる100nmから500nm程度の膜厚の薄膜を用いることができる。第2の金属薄膜上には後述の工程でドライエッチングによりコンタクトホールが形成され、導電性薄膜が形成されるので、第2の金属薄膜材料としては、表面酸化が生じ難い金属薄膜や酸化されても導電性を有するものを用いることが好ましく、少なくとも表面がCr、Ti、Ta、Moであることが好ましい。また、第2の金属薄膜はオーミックコンタクト膜6と良好なコンタクト特性が得られるように、少なくともオーミックコンタクト膜6との界面がCr、Ti、Ta、Moであることことが好ましい。また、第2の金属薄膜として、異種の金属薄膜を積層したものや、膜厚方向に組成の異なるものを用いることもできる。

【0016】次に、第3の写真製版工程で第2の金属薄膜をバーニングし、ソース配線7、ソース電極8、ドレイン電極9、集合引出し配線10を形成後、オーミックコンタクト膜6のうち、第2の金属薄膜よりはみ出した部分をエッチング除去して、画素部TFTのチャネルを形成する。第2の金属薄膜のエッチングは、Crであれば第2硝酸セリウムアンモンと過塩素酸の水溶液を用いてウエットエッチングで行う。また、第2の金属薄膜のエッチングは、上部の導電性薄膜からなる電極バーナンの断線を防止する上で、バーナンエッジがテーパー形状となるようにエッチングすることが好ましい。オーミックコンタクト膜6のエッチングは、例えばSF<sub>6</sub>と酸素ガスでドライエッチングにより行う。オーミックコンタクト膜6のエッチングでは、少なくともオーミックコンタクト膜6が除去され、下層の半導体能動膜5が消失しない深さでエッチングが制御される。下層の半導体能動膜5はなるべく厚く残すことが移動度の大きいTFTが得られる上で好ましい。次に、プラズマCVD等により第2の絶縁膜11を成膜する。第2の絶縁膜11としてはSiN<sub>x</sub>膜、SiO<sub>x</sub>膜、SiO<sub>x</sub>N<sub>y</sub>膜が用いられる。

【0017】次に、第4の写真製版工程で第2の絶縁膜11および第1の絶縁膜4をバーニングし、画素コンタクト部12、補助容量配線接続部13、集合引出し配線接続部14、ゲート配線端子接続部15、ソース配線端子接続部16にコンタクトホールを形成する。第2の絶縁膜11および第1の絶縁膜4のエッチングは、例えばSF<sub>6</sub>と酸素ガスでドライエッチングにより行う。次に、スパッタリング等の方法で、導電性薄膜を成膜する。導電性薄膜としては、電気光学素子を透過型で構成する場合には透明導電膜であるITO、SnO<sub>2</sub>等を用

いることができ、特に化学的安定性よりITOが好ましい。また、電気光学素子を反射型で構成する場合には導電性薄膜はシート抵抗500Ω/□程度以下のシート抵抗が得られ、液晶材料と反応して液晶材料の劣化を引き起こさないものであれば、どのようなものでもよい。導電性薄膜の膜厚は透過型の電気光学素子では50nmから200nm程度とし、反射型では50nmから500nm程度とする。透過型の場合は、対向基板を含めて光が透過する際の干渉による色付きが起きないように50nmから200nm程度より選択する。

【0018】次に、第5の写真製版工程で導電性薄膜をバーニングし、画素電極17、補助容量配線および集合引出し配線接続パターン18、ゲート端子電極19、ソース端子電極20を形成する。導電性薄膜のエッチングは使用する材料によって公知のウエットエッチング等によって行う。導電性薄膜がITOの場合は塩酸と硝酸水溶液によるエッチングが可能である。この工程により補助容量配線3と集合引出し配線10がITOパターンにより接続される。以上の工程により、図1～図6に示すTFTアレイ基板が5回の写真製版工程で製造される。

【0019】以上のように、本実施の形態によれば、点欠陥および線欠陥が少ない補助容量配線型のTFTアレイ基板を、5回の写真製版工程で製造することが可能であるため、歩留まりの向上、低コスト化が図られ、生産性が向上する。従って、本実施の形態によるTFTアレイ基板と、共通電極およびカラーフィルタ等を有する対向電極基板との間に液晶等の電気光学材料を配置した電気光学表示装置は、表示品質に優れ、低消費電力化が可能であり、さらに安価で供給されることが可能である。

【0020】実施の形態2、図7～図12は、本発明の実施の形態2であるTFTアレイ基板各部の構造を示す図であり、図7、図8は、補助容量配線と集合引出し配線接続部の平面図および断面図、図9、図10は画素部平面図および断面図、図11はゲート端子部断面図、図12はソース端子部断面図である。図において、21はエッチングストップを形成する第2絶縁膜、22は第3絶縁膜を示す。なお、図中、同一、相当部分には同一符号を付し、説明を省略する。本発明の実施の形態2であるTFTアレイ基板の製造方法を以下に説明する。まず、絶縁性基板として0.7mm厚の硝子基板を洗浄して表面を清浄化する。絶縁性基板の材質および厚みについては上述の実施の形態1と同様である。

【0021】次に、スパッタ等の方法で、第1の金属薄膜を成膜する。第1の金属薄膜としては、例えばCr、Mo、Ta、Ti、Al、Cuや、これらに他の物質を微量に添加した合金等からなる100nmから500nm程度の膜厚の薄膜を用いることができる。第1の金属薄膜上には後述の工程でドライエッチングによりコンタクトホールが形成され、導電性薄膜が形成されるので、

表面酸化が生じ難いものや酸化されても導電性を有する材料を第1の金属薄膜として用いることが好ましく、少なくとも表面がCr、Ti、Ta、Moであることが好ましい。また、第1の金属薄膜として、異種の金属薄膜を積層したものや、膜厚方向に組成の異なるものを用いることもできる。次に、第1の写真製版工程で、第1の金属薄膜をバーニングし、上記実施の形態1と同様にゲート電極および配線1、補助容量電極2および補助容量配線3を形成する。写真製版工程は、TFTアレイ基板を洗浄後、感光性レジストを塗布、乾燥した後に、所定のパターンが形成されたマスクパターンを通して露光し、現像することで写真製版的にTFTアレイ基板上にマスクパターンを転写したレジストを形成し、感光性レジストを加熱硬化させた後にエッチングを行い、感光性レジストを剥離することで行われる。第1の金属薄膜のエッチングは、例えばCrの場合であれば、第2硝酸セリウムアンモンと硝酸の水溶液によるウエットエッチで、Moの場合にはCF<sub>4</sub>と酸素ガスを用いたドライエッチで行う。また、第1の金属薄膜のエッチングはバーナンエッジがテーパー形状となるようにエッチングすることが他の配線との段差での短絡を防止する上で好ましい。

【0022】次に、プラズマCVDにより第1の絶縁膜4、半導体能動膜5、第2の絶縁膜21を連続で成膜する。第1の絶縁膜4の膜厚は、実施の形態1と同様に300nmから600nm程度とするが、半導体能動膜5は、本実施の形態では100nm程度まで薄くすることが可能であり、光リーク電流の低減を図ることができる。第2の絶縁膜21の膜厚は通常200nm程度である。次に、第2の写真製版工程で第2の絶縁膜21をバーニングし、TFT形成部のゲート電極上部およびソース配線を形成する部分に第2の絶縁膜21でエッチングストップを形成する。第2の絶縁膜21のエッチングは、例えばSF<sub>6</sub>と酸素ガスでドライエッチングにより行う。次に、P等の不純物イオンをドーピングするか、P等を含んだa-Si等を堆積する等して、オーミックコンタクト膜6を形成する。Pをドーピングする場合は、10<sup>15</sup>/cm<sup>3</sup>程度のドープ量が望ましい。また、Pを含んだa-Siを堆積する場合は予め基板表面をフッ酸等で処理し、表面酸化膜を除去した後にすみやかにSiH<sub>4</sub>、PH<sub>3</sub>をH<sub>2</sub>で希釈したガスを使用しPCVD装置で堆積する。オーミックコンタクト膜6の膜厚は30~100nm程度が望ましい。

【0023】次に、スパッタ等の方法で第2の金属薄膜を成膜する。第2の金属薄膜は実施の形態1と同様である。次に、第3の写真製版工程で第2の金属薄膜をバーニングし、ソース配線7、ソース電極8、ドレイン電極9、集合引出し配線10を形成後、第2の金属薄膜パターンおよび第2の絶縁膜パターンをマスクにしてオーミックコンタクト膜6および半導体能動膜5を除去し、

ゲート電極上にTFTチャネル部を形成する。第2の金属薄膜およびオーミックコンタクト膜6および半導体能動膜5のエッチング方法は実施の形態1と同様である。次に、プラズマCVD等により第3の絶縁膜22を成膜する。成膜については実施の形態1と同様である。

【0024】次に、第4の写真製版工程で第3の絶縁膜22および第1の絶縁膜4をバーニングして、画素コンタクト部12、補助容量配線接続部13、集合引出し配線接続部14、ゲート配線端子接続部15、ソース配線端子接続部16にコンタクトホールを形成する。バーニングについては実施の形態1と同様である。次に、スパッタリング等の方法で、導電性薄膜を成膜する。成膜については実施の形態1と同様である。

【0025】次に、第5の写真製版工程で導電性薄膜をバーニングし、画素電極17、補助容量配線および集合引出し配線接続パターン18、ゲート端子電極19、ソース端子電極20を形成する。バーニングについては実施の形態1と同様である。以上の工程により、図7~図12に示すTFTアレイ基板が5回の写真製版工程で製造され、実施の形態1と同様の効果が得られる。

【0026】

【発明の効果】以上のように、この発明によれば、表示品質に優れ、低消費電力である補助容量配線型のTFTアレイ基板を5回の写真製版工程で製造することが可能であるため、歩留まりの向上、製造コストの低減が図られ、TFTアレイ基板およびこれを用いた電気光学表示装置の生産性が向上する効果がある。

【図面の簡単な説明】

【図1】この発明の実施の形態1であるTFTアレイ基板の補助容量配線と集合引出し配線の接続部を示す平面図である。

【図2】この発明の実施の形態1であるTFTアレイ基板の補助容量配線と集合引出し配線の接続部を示す断面図である。

【図3】この発明の実施の形態1であるTFTアレイ基板の画素部を示す平面図である。

【図4】この発明の実施の形態1であるTFTアレイ基板の画素部を示す断面図である。

【図5】この発明の実施の形態1であるTFTアレイ基板のゲート端子部を示す断面図である。

【図6】この発明の実施の形態1であるTFTアレイ基板のソース端子部を示す断面図である。

【図7】この発明の実施の形態2であるTFTアレイ基板の補助容量配線と集合引出し配線の接続部を示す平面図である。

【図8】この発明の実施の形態2であるTFTアレイ基板の補助容量配線と集合引出し配線の接続部を示す断面図である。

【図9】この発明の実施の形態2であるTFTアレイ基板の画素部を示す平面図である。

【図10】 この発明の実施の形態2であるTFTアレイ基板の画素部を示す断面図である。

【図11】 この発明の実施の形態2であるTFTアレイ基板のゲート端子部を示す断面図である。

【図12】 この発明の実施の形態2であるTFTアレイ基板のソース端子部を示す断面図である。

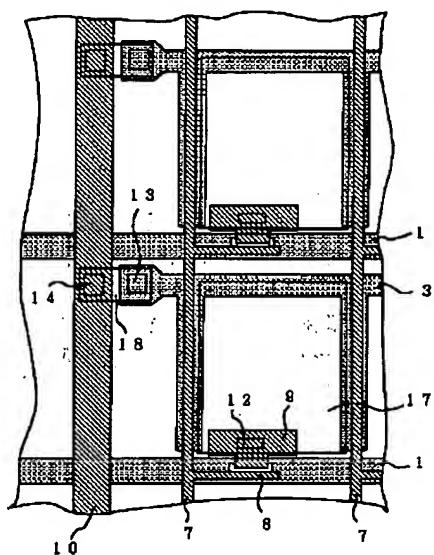
【図13】 補助容量型TFTアレイを示す平面概念図である。

【図14】 従来のTFTアレイ基板の画素部を示す断面図である。

【符号の説明】

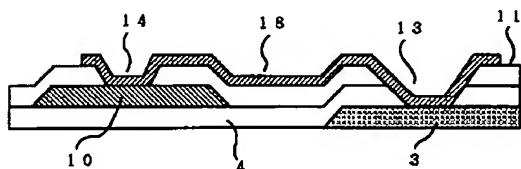
1 ゲート電極および配線、2 補助容量電極、3 補助容量配線、4 第1絶縁膜、5 半導体能動膜、6 オミックコンタクト膜、7 ソース配線、8 ソース電極、9 ドレイン電極、10 集合引出し配線、11 第2絶縁膜、12 画素コンタクト部、13 補助容量配線接続部、14 集合引出し配線接続部、15 ゲート配線端子接続部、16 ソース配線端子接続部、17 画素電極、18 補助容量配線および集合引出し配線接続パターン、19 ゲート端子電極、20 ソース端子電極、21 第2絶縁膜(エッチングストップ)、22 第3絶縁膜。

【図1】

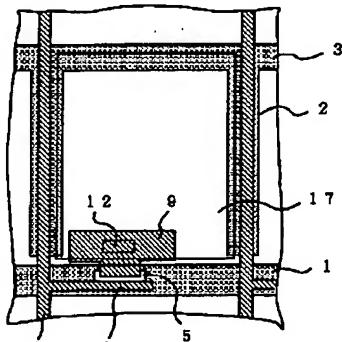


1: ゲート電極・配線 10: 集合引き出し配線  
3: 補助容量配線 12: 画素コンタクト部  
7: ソース配線 13: 補助容量配線接続部  
8: ソース電極 14: 集合引き出し配線接続部  
9: ドレイン電極 17: 画素電極  
18: 補助容量配線および  
集合引き出し配線接続パターン

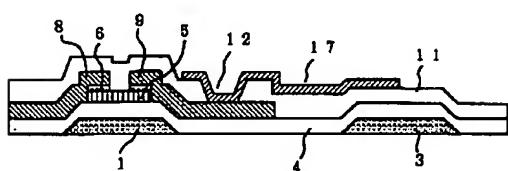
【図2】



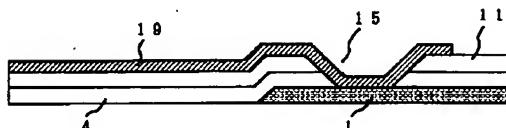
【図3】



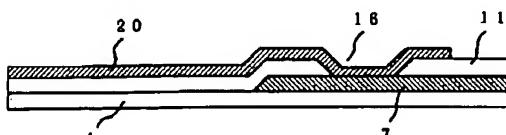
【図4】



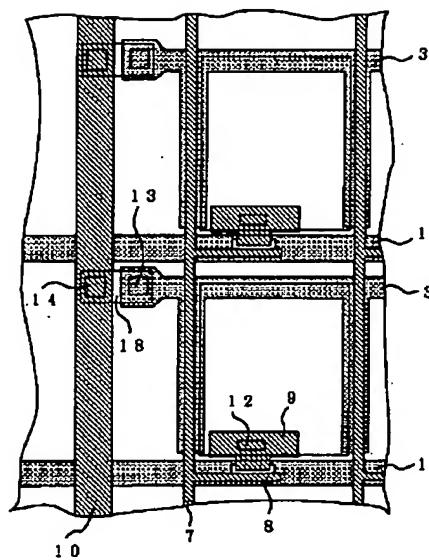
【図5】



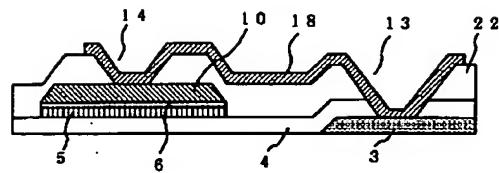
【図6】



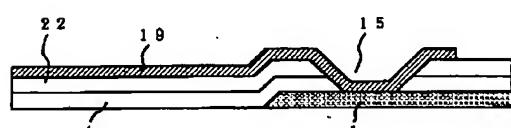
【図7】



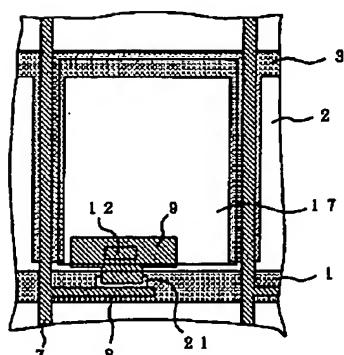
【図8】



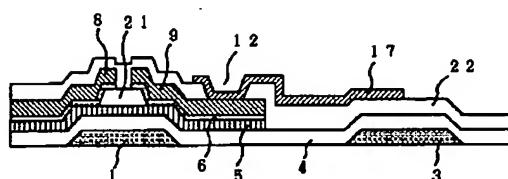
【図11】



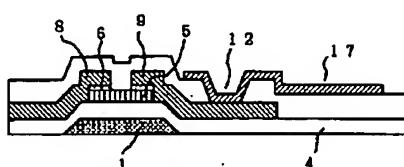
【図9】



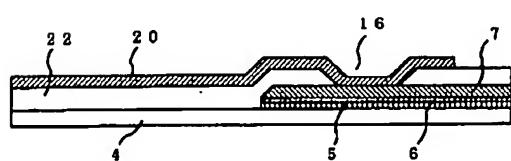
【図10】



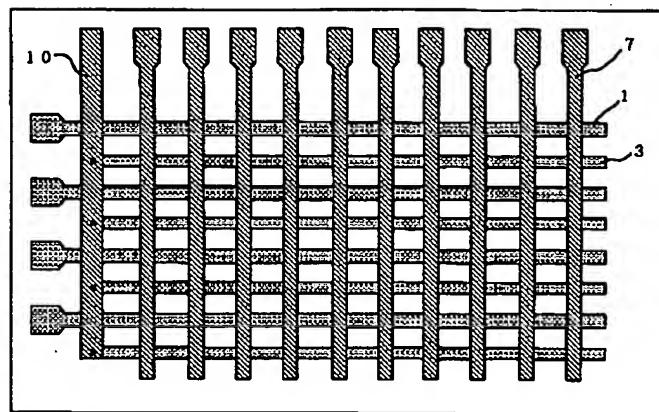
【図14】



【図12】



【図13】



---

フロントページの続き

(72)発明者 松井 泰志  
熊本県菊池郡西合志町御代志997番地 株  
式会社アドバンスト・ディスプレイ内

(72)発明者 菅原 隆  
熊本県菊池郡西合志町御代志997番地 株  
式会社アドバンスト・ディスプレイ内